

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

03232037

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 02-207537 [JP 2207537 A]

PUBLISHED: August 17, 1990 (19900817)

INVENTOR(s): ADACHI HIDEMI

KAWACHI GENSHIROU

AOYAMA TAKASHI

OIKAWA SABURO

SUGA HIROSHI

KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),  
JP(Japan)

APPL. NO.: 01-027454 [JP 8927454]

FILED: February 08, 1989 (19890208)

INTL CLASS: [5] H01L-021/336; H01L-021/20; H01L-021/203; H01L-  
029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R020 (VACUUM TECHNIQUES); R100 (ELECTRONIC MATERIALS  
-- Ion Implantation)

JOURNAL: Section: E, Section No. 997, Vol. 14, No. 502, Pg. 63,  
November 02, 1990 (19901102)

#### ABSTRACT

PURPOSE: To form a polycrystalline silicon film whose crystal grain and carrier mobility are large by coating the ground part of a silicon film corresponding to a channel region with silicon and hydrogen, depositing an amorphous silicon film on the ground, heat-treating the film, and transforming the amorphous silicon film into a polycrystalline silicon film.

CONSTITUTION: By using a sputtering apparatus, an a-Si:H<sub>2</sub> is formed on a glass substrate 1; by using LPCVD method, an amorphous silicon film 3 is deposited: by heat-treating said film 3 at 600 deg.C in an N(sub 2) atmosphere for a specified period, the amorphous silicon film 3 only is crystallized and transformed into a polycrystalline silicon film 4. By restricting the generation of nucleus up to the optimum degree for crystallization, large crystal grain can be obtained, and the polycrystalline silicon film excellent in crystallizability can be formed. Further, a TFT with large carrier mobility can be obtained.

## ⑫ 公開特許公報(A)

平2-207537

⑮ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月17日

H 01 L 21/336  
21/207739-5F  
8624-5FH 01 L 29/78 3 1 1 Z※  
審査請求 未請求 請求項の数 5 (全6頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑰ 特 願 平1-27454

⑱ 出 願 平1(1989)2月8日

⑲ 発 明 者 安 達 英 美 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑲ 発 明 者 河 内 玄 士 朗 茨城県日立市久慈町4071番地 株式会社日立製作所日立研  
究所内

⑲ 発 明 者 青 山 隆 茨城県日立市久慈町4071番地 株式会社日立製作所日立研  
究所内

⑲ 発 明 者 及 川 三 郎 茨城県日立市久慈町4071番地 株式会社日立製作所日立研  
究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

## 明 細 書

## 1. 発明の名称

薄膜半導体装置の製造方法

## 2. 特許請求の範囲

1. 絶縁基板上に形成する能動層の下地部分を、シリコンと水素で被覆する工程と、第1の非晶質シリコン膜を前記被覆した基板上に形成する工程と第1の非晶質シリコン膜のみを結晶成分に変換する熱処理工程を具備することを特徴とする薄膜半導体装置の製造方法。
2. 前記第1項記載の下地部分は、水素化アモルファスシリコン膜を堆積する、あるいは絶縁基板表面にシリコンと水素の分子イオンを注入することにより形成することを特徴とする薄膜半導体装置の製造方法。
3. 前記第2項記載の水素化アモルファスシリコン膜をモノシランのグロー放電分解、水素を含む雰囲気ガス中でのスパッタ法を用いて形成することを特徴とする薄膜半導体装置の製造方法。
4. 前記第1項記載の非晶質シリコン膜を減圧

CVD法、スパッタ法、分子線蒸着法を用いて形成することを特徴とする薄膜半導体装置の製造方法。

5. 前記第2項記載の方法により表面を水素とシリコンで被覆することを特徴とする絶縁基板の表面改質方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜半導体装置およびその製造方法に係り、特にアクティブマトリクス方式のディスプレイに好適な薄膜半導体の製造方法に関する。

〔従来の技術〕

アクティブマトリクス方式液晶ディスプレイの大画面化、高画質化を図るために、薄膜半導体装置である薄膜トランジスタ (This Film Transistor, 略して TFT) の材料としてキャリア移動度の大きい多結晶シリコン膜が用いられている。

キャリア移動度は多結晶シリコン膜の結晶性に強く依存していることから、特性の良い TFT を

得るには、結晶粒を だけ大きくしてキャリア移動度を大きくすることが望ましい。

従来、絶縁基板上に膜を成長させる場合、成長初期には核が基板上にランダムに形成されるため、最初は結晶粒は小さく、膜厚の増大につれて結晶粒は大きくなり、結晶性の優れた多結晶シリコン膜になる。従つて結晶粒径を大きくするには膜厚を厚くしなければならない問題があつた。この問題を解決するため、特開昭61-85815号記載のように、絶縁基板上に生成した核を熱処理により成長させ、これを種結晶として多結晶シリコン膜を形成する方法が試みられた。この方法は、結晶性向上に効果は認められるが、基板上にランダムに生成した核は熱処理をしてもまだ十分大きくならないため、核の数は減少せず、結局結晶性や結晶粒径も十分大きくなるとは言えない。

〔発明が解決しようとする課題〕

上記従来技術、すなわち絶縁基板上に多結晶シリコン膜を形成する方法においては、絶縁基板とシリコン膜の界面での核生成を抑制することが重

しておきこの下地の上に、非晶質シリコン膜を堆積し、熱処理して、非晶質シリコン膜を多結晶シリコン膜に変換させることにより達成される。下地のシリコンと水素で被覆した状態は、水素化アモルファスシリコン膜(以下略してa-Si:H)を形成するか、絶縁基板表面に水素とシリコンの分子イオンを注入して、水素とシリコンの化合物層を作り絶縁基板表面をa-Si:Hの表面と同質の状態に改質して形成する。

以下、非晶質シリコン膜の結晶成長過程と、下地膜の影響について述べる。

第2図は絶縁基板上に減圧CVD法により形成した非晶質シリコン膜の結晶成長過程を透過型電子顕微鏡にて観察した様子をモデル化した図である。第2図(a)は絶縁基板に非晶質シリコン膜50を堆積した状態である。このときは膜中に結晶粒はみられない。この膜をN<sub>2</sub>中600℃で熱処理すると、第2図(b)のように基板1と膜50の界面に結晶粒51が形成される。膜中や膜表面にはみられない。よつて、結晶核は基板との

要である。しかし、上記従来技術では核の数についての配慮が十分でなく、したがつて、多結晶シリコン膜の結晶性も十分でない。すなわち、絶縁基板上に多結晶シリコン膜を形成する場合、絶縁基板とシリコン膜の熱膨張係数や原子間距離の相違、あるいは絶縁基板からの不純物導入などにより、基板界面には歪が集中し、結晶核が生成しやすい状態になつている。そのため、核はランダムに多数生成し、そこから結晶粒が成長するため、結晶粒は十分大きくならず、結晶性は上がらない。このことから、結晶性を上げるには、核発生を結晶化に必要な最少限に抑制することが重要である。

本発明の目的は、非晶質シリコン膜とその下地との界面での結晶の核生成を抑制することにより結晶粒が大きく、かつキャリア移動度が大きくなるような多結晶シリコン膜を形成できる薄膜半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的は、チャネル領域にあたるシリコン膜の下地部分を、シリコンと水素で被覆した状態に

界面にのみ生成することがわかる。さらに熱処理を続けると、第2図(c)のように、結晶粒51を核として周囲のアモルファス成分を結晶成分に変換しながら結晶粒52が成長する。そして第2図(d)のように隣接する結晶粒がぶつかった時点で横方向の成長は終わり膜厚方向に成長する。このような結晶成長過程をとるため、結晶成長は核の生成密度に強く依存する。よつて核の発生を結晶化に最適な程度まで抑制することにより、結晶粒をより大きくすることが可能となり、結晶性のすぐれた多結晶シリコン膜を形成できる。そこで、絶縁基板と非晶質シリコン膜の界面にa-Si:Hを介在させることにより界面の状態を変えて減圧CVD膜形成し、熱処理後の結晶性を比較した。

第3図はa-Si:H下地の有無での減圧CVD多結晶シリコン膜のX線回折スペクトルを示したものである。多結晶シリコン膜のスペクトルには(111)(220)(311)の3つの方位を保持した回折線が観測された。この回折線のピーク

高さ（X線回折強度）膜中の結晶成分の量を表わしており、強度が強い程、結晶性の優れた膜である。（111）の回折ピークに注目すると、X線回折強度は下地膜を形成した場合、形成しない従来の場合と比べて約1.5倍大きくなっており、結晶性が良くなっていることがわかる。また、X線回折ピークの線幅をもとにシェラー（Scherrer）の式から平均の結晶子の大きさを算出したところ、下地膜を形成した場合、300Å以上となり、従来に比べて約1.5倍大きくなっている。

以上のことから、非晶質シリコン膜と絶縁基板の間にa-Si:Hを介在させることにより、結晶子の大きさが300Å以上と大きく、かつ結晶性のよい膜が得られることがわかる。

#### 〔作用〕

上記方法で結晶性が向上するのは次の理由による。絶縁基板上にa-Si:H膜を形成、あるいはHとSiの分子イオン注入にする絶縁基板の表面改質することにより、この下地とその上に形成する非晶質シリコン膜との界面で起こる結晶核の

晶質シリコン膜を形成すると、表面の水素が抜け、そこにシリコンが結合し、酸化膜の介在しない、熱膨張係数差のない界面が形成され、核生成の抑制された界面になる。

また、a-Si:Hは600℃での熱処理をしても結晶化しないため、ガラス基板とa-Si:Hの界面で核が生成しても非晶質シリコン膜との界面まで、核が到達しない。よって、非晶質膜の核の数は、絶縁基板の影響を受けず、a-Si:Hと非晶質シリコン膜の界面でのみ生成する数となるため、核の生成を抑制することができる。このように核の数が少くなるため大きな結晶粒を得ることができる。

一方、シリコンを結晶化して、これを後結晶として結晶成長させる場合、表面には短時間で自然酸化膜が形成されるため、非晶質シリコンとの界面に自然酸化膜が介在し、固相成長は妨げられる。

さらに、この自然酸化膜界面では新たな核生成がおこるため、核の数は増加し、結晶粒は大きくならない。

生成が抑えられるためである。すなわち、結晶核の生成は、界面での熱膨張係数の相違や格子の歪などに起因するため、絶縁基板や酸化膜とシリコン膜との界面では起こりやすく、Si-Siの界面ではおこりにくい。よって界面での核生成を抑制するには界面に酸化膜を介在させずにSi-Siの界面を作ることが必要となる。すなわち、酸化されにくく、かつシリコン膜との熱膨張係数差の小さい膜a-Si:Hを非晶質シリコン膜と絶縁基板の間に介在させれば核発生を抑えることができる。a-Si:Hと単結晶シリコンの自然酸化膜の生成速度についてはサーフェイスサイエンス30, 91 (1972) (Surf. sci. 30, 91, (1972)) および、ソリッド ステイト エレクトロン 25, 875 (1982) (Solid State Electron 25, 875 (1982)) において論じられており、10<sup>3</sup>secで単結晶シリコンは1.0nm程度の自然酸化膜ができるがa-Si:Hは0.1nm以下であり、ほとんど形成されてない。よって、このa-Si:H上に非

#### 〔実施例〕

以下、本発明の一実施例を第1図、第4図により説明する。

第4図Aに示すように、まずガラス基板1上に直流4極スパッタリング装置を用いてa-Si:H2を膜厚約500Å形成した。雰囲気ガスとしてArとH<sub>2</sub>を用い、2×10<sup>-1</sup>Paの状態で、基板温度300℃以下にしてスパッタリングを行った。上記により作製した試料上に、第4図Bに示すように、LPCVD法を用いて、550℃、1.0Torrで非晶質シリコン膜3を1500Å堆積した。次に、第4図Cに示すように、N<sub>2</sub>雰囲気中約600℃で所定時間熱処理することにより、非晶質シリコン膜3のみが結晶化して、多結晶シリコン膜4になった。この膜をアイランドホト、エッチングの工程を通した後、常圧CVD法によりゲート絶縁膜用のSiO<sub>2</sub>18を1000Å堆積させる。次にゲート電極用のpoly-Si膜19を550℃、1.0Torrの条件で3500Å堆積させる。ゲート絶縁膜19をホト、エッチした後、ソ

ース、ドレイン領域 17 のインプラを行う。  
条件はリン(P)を用い、 $5 \times 10^{18} \text{cm}^{-2}$ のドー  
ズ量、30 K $\phi$  Vの電圧である。リンガラスから  
なるパッシベーション膜21を480 $\phi$ で5000人  
堆積させる。さらにN $_2$ 中、600 $\phi$ の条件で  
20時間熱処理を行い、インプラ領域を活性化さ  
せる。コンタクト用のホト、エッチ工程の後、  
A $_1$ 電極20を6000人スパッタする。本実施  
例のTFTのチャネル幅、チャネル長はそれぞれ  
30 $\mu\text{m}$ 、10 $\mu\text{m}$ である。

次に本発明の第2実施例について第5図A～第  
5図Cおよび第6図に基づいて説明する。

第5図に示すように、ガラス基板1上にシリコ  
ンと水素の分子イオンを低エネルギーにてイオン  
注入してガラス基板表面をHとSiの化合物層6  
とし、ガラス基板表面を改質する。

第6図は、低エネルギーイオン注入装置の説明  
図である。真空容器101中のアノード電極103  
にガラス基板1を設置し、容器内へH $_2$ で希釈し  
たSiH $_4$ ガスを導入する。容器内圧力は0.5

～5.0 Torr程度が良い。次に加熱ヒータ104  
により基板1を200～300 $\phi$ に加熱しながら  
アノード電極103に対向するカソード電極102  
に高周波電圧を印加して両電極間にグロー放電を  
発生させてSiH $_4$ ガス、H $_2$ ガスをプラズマ状態  
107とする。プラズマ中のイオンH $^+$ 、Si $^+$ 、  
SiH $^+$ 、SiH $_2^+$ 、Si $^+H_2$ は加速電源111  
に接続された加速電極110によつて引きだされ  
て、1～5 kV程度の比較的低い電圧で加速され、  
基板1に照射され基板表面がHとSiの化合物層  
6になる。この装置は分子イオンを注入できるこ  
と、大電流がとれるので表面に多量にイオンを注  
入できること、低加速電圧であるため強く絶縁基  
板表面にイオン注入可能であることから絶縁基板  
の表面改質に適している。

以上のように表面改質した絶縁基板上に第1実  
施例と同様に第4図Bに示すようにLPCVD法  
で非晶質シリコン膜3を堆積した。次に第5図C  
に示すように、N $_2$ 雰囲気中600 $\phi$ で熱処理す  
ることにより多結晶シリコン膜4になった。以下

第1実施例と同様のプロセスにてTFTを形成す  
る。

第1および第2実施例で作ったTFTの結晶性  
を評価するため、電界効果移動度を測定したとこ  
ろ、約50 $\text{cm}^2/\text{V}\cdot\text{s}$ となり、従来の絶縁基板に  
直接絶縁層である多結晶シリコン膜を形成した  
TFTに比べて約1.5倍大きくなり、結晶性の  
優れた多結晶シリコン膜を得ることができた。

以上、本発明を実施例に基づき説明したが、本  
発明の上述の第1及び第2実施例に限定されるも  
のではなく、本発明の技術的思想に基づく種々の  
変態が可能である。たとえば、第1実施例のa-  
Si:Hの形成法としてはモノシランのグロー放  
電分解を用いても可能である。基板温度300 $\phi$   
以下、RFパワー300Wとした。

また、第1実施例ではa-Si:Hを堆積した  
が、同じように水素を多量に含む膜たとえば、a-  
SiO:H、a-SiN:H、a-SiC:H  
を用いることにより同様の効果があげられる。

また、第1および第2実施例において、第4図

Bの工程で減圧CVD法により非晶質シリコン膜  
3を形成しているが、スパッタ法、分子線蒸着法  
を使つても同様の効果があげられる。

#### (発明の効果)

本発明によれば、結晶粒径が大きく、結晶性の  
良い多結晶シリコン膜を得ることができ、ひいて  
は、キャリア移動度の大きいTFTを得ることが  
できる。

#### 4. 図面の簡単な説明

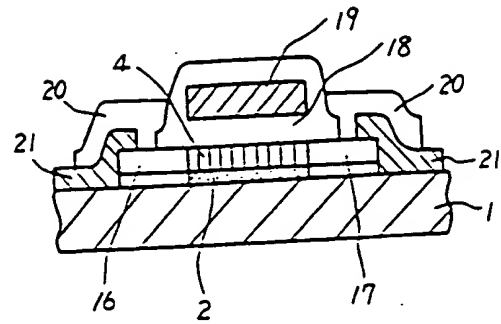
第1図は本発明第一実施例のTFTの構造を示  
す図、第2図は非晶質シリコン膜の熱処理におけ  
る結晶成長過程のモデル図、第3図は下地膜有無  
での多結晶シリコン膜のX線回折スペクトルの比  
較図、第4図は本発明第一実施例の各製造工程に  
おける第1図のTFTの構造を示す図、第5図は  
本発明第二実施例の絶縁基板改質工程における構  
造を示す図、第6図は低エネルギーイオン注入装  
置を示す図である。

1…ガラス基板、2…a-Si:H、3…非晶質  
シリコン膜、4…多結晶シリコン膜、5…イオン

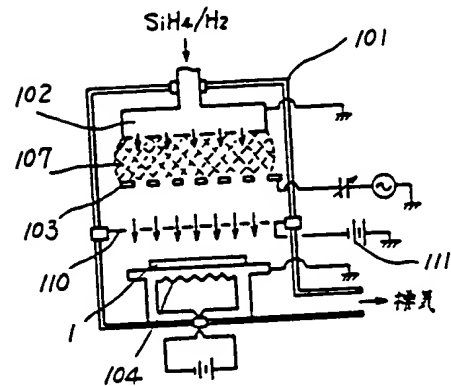
注入、6...HとSiの化合物層、16...ソース電極、17...ドレイン電極、18...ゲード絶縁膜、19...ゲード電極、20...Al電極、21...リンガラス、101...真空容器、102...カソード電極、103...アノード電極、104...加熱ヒータ、107...プラズマ状態、110...加速電極、111...加速電源。

代理人 弁理士 小川 勇

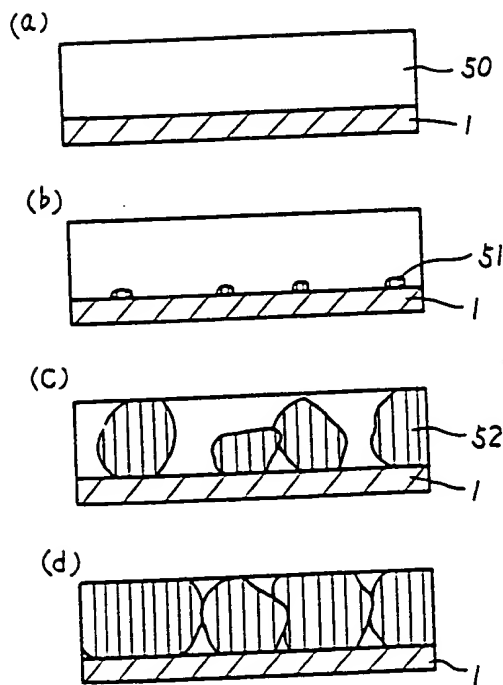
第 1 図



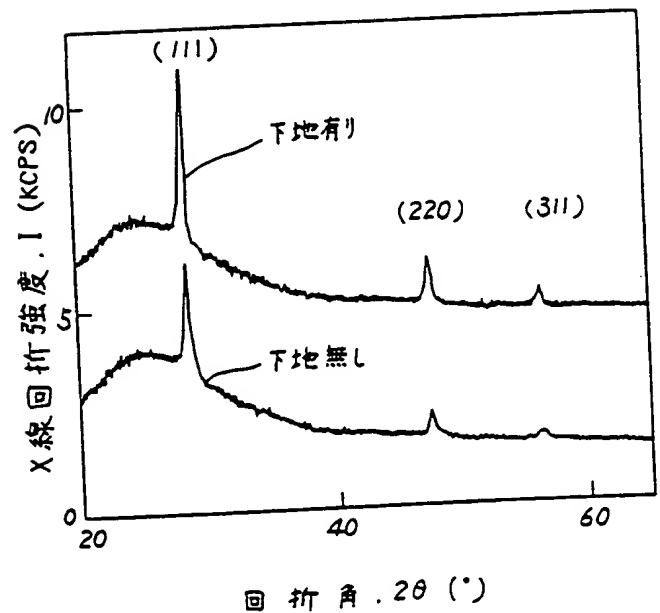
第 6 図



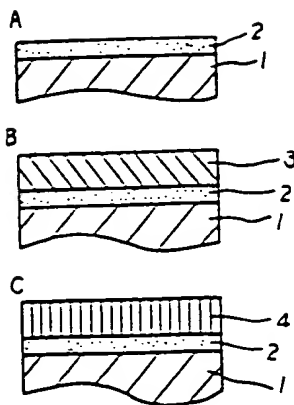
第 2 図



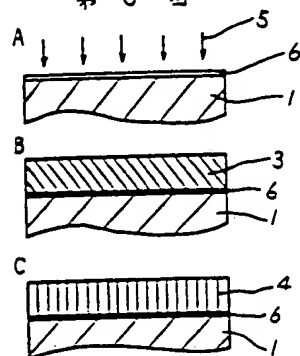
第 3 図



第 4 図



第 5 図



第1頁の続き

⑤Int. Cl.<sup>3</sup>

H 01 L 21/203

29/784

識別記号

庁内整理番号

S  
M7630-5F  
7630-5F

⑦発明者 須賀

博

茨城県日立市久慈町4071番地 株式会社日立製作所日立研  
究所内

⑦発明者 小西

信武

茨城県日立市久慈町4071番地 株式会社日立製作所日立研  
究所内